

①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Patentschrift  
⑪ DE 3323435 C2

②1 Aktenzeichen: P 33 23 435.3-53  
②2 Anmeldetag: 29. 6. 83  
④3 Offenlegungstag: 3. 1. 85  
④5 Veröffentlichungstag  
der Patenterteilung: 21. 5. 87

⑤1 Int. Cl. 4: 30  
G06 F 1/00 ~~57~~  
G 06 F 11/30  
G 06 F 12/16

DE 3323435 C2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦3 Patentinhaber:  
Siemens AG, 1000 Berlin und 8000 München, DE

⑦2 Erfinder:  
Knapp, Karl, 8000 München, DE; Neumaier, Josef,  
Dipl.-Ing., 8031 Maisach, DE

⑤6 Im Prüfungsverfahren entgegengehaltene  
Druckschriften nach § 44 PatG:  
US-Z.: »Electronic Design« Sept. 1981, S. 335-339;

⑤4 Mikroprozessoranordnung mit einem Schutz gegen den Verlust von Speicherinhalten

DE 3323435 C2

1. Mikroprozessoranordnung mit einem Schutz gegen den Verlust von Speicherinhalten, bestehend aus einem Mikroprozessor, der über ein Bussystem mit einem Eingabe-Ausgabe-Baustein und einem Arbeitsspeicher zusammenarbeitet, wobei der Arbeitsspeicher die Kombination eines Schreib-Lese-speichers (RAM) und eines löschbaren Lesespeichers (EEPROM) aufweist mit einem Steuereingang für das Abspeichern von Daten aus dem RAM in das EEPROM bei Abschalten oder Ausfall der Betriebsspannungsversorgung mittels eines Spannungsdetektors, der das Abschalten oder den Ausfall durch ein Steuersignal anzeigt, dadurch gekennzeichnet, daß

das Steuersignal mittels einer Logik aus der Verknüpfung mehrerer Signale erzeugt wird, und zwar aus dem Ausgangssignal des Spannungsdetektors (VD), aus einem über eine Pulsformerstufe (PF) mit signalverzögernden Eigenschaften gewonnenen Ausgangssignal des Spannungsdetektors, aus einem eine gegebenenfalls notwendige Sicherung von im RAM des Arbeitsspeichers (NV-RAM) gespeicherten Daten bei Abschaltung der Betriebsspannungsversorgung (Vb) anzeigenden Signal und aus einem Störungen des Betriebszustandes des Mikroprozessors ( $\mu P$ ) anzeigenden Signal, und daß die Logik derart bemessen ist, daß das Steuersignal nur dann bei Abschalten bzw. Ausfall der Betriebsspannungsversorgung (Vb) eine Abspeichervorgang veranlaßt, wenn der Mikroprozessor ( $\mu P$ ) störungsfrei arbeitet und zu sichernde Daten im RAM des Arbeitsspeichers (NV-RAM) vorhanden sind.

2. Mikroprozessoranordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Mikroprozessor ( $\mu P$ ) einen seriellen Datenausgang (SOD) aufweist, der über eine monostabile Kippstufe (MK), die ausgangsseitig das Störungen des Betriebszustandes des Mikroprozessors anzeigende Signal abgibt, mit der Logik in Verbindung steht.

3. Mikroprozessoranordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Pulsformerstufe (PF) aus einem Gatter (NG) mit nachgeschaltetem RC-Glied besteht.

4. Mikroprozessor nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Logik aus einem UND-Gatter, vorzugsweise ein NAND-Gatter (NGI), mit vier Eingängen (1, 2, 3, 4) besteht.

#### Beschreibung

Die Erfindung bezieht sich auf eine Mikroprozessoranordnung mit einem Schutz gegen den Verlust von Speicherinhalten, bestehend aus einem Mikroprozessor, der über ein Bussystem mit einem Eingabe-Ausgabe-Baustein und einem Arbeitsspeicher zusammenarbeitet, wobei der Arbeitsspeicher die Kombination eines Schreib-Lesespeichers (RAM) und eines löschbaren Lesespeichers (EEPROM) aufweist mit einem Steuereingang für das Abspeichern von Daten aus dem RAM in das EEPROM bei Abschalten oder Ausfall der Betriebsspannungsversorgung mittels eines Spannungsdetektors, der das Abschalten oder den Ausfall durch ein Steuersignal anzeigt.

Mikroprozessoranordnungen dieser Art finden ganz allgemein in elektrischen Geräten und Anlagen zu Steu-

er- und Überwachungsfunktionen Anwendung. Im allgemeinen ist der Ablauf der von einer Mikroprozessoranordnung durchzuführenden Steuer- und Überwachungsaufgabe durch die Programmierung fest vorgegeben. Bei zahlreichen Anwendungen können darüber hinaus die von einer Mikroprozessoranordnung gesteuerten Ablaufvorgänge durch Eingaben von außen über eine Tastatur geändert oder neu eingestellt werden. Solche, einer Änderung der Ablaufsteuerung oder der Einstellung einer von der Mikroprozessoranordnung durchzuführenden Funktion dienende Informationen in Form von in den Arbeitsspeicher eingegebenen Daten, müssen gegen Abschaltung oder Ausfall der Betriebsspannungsversorgung gesichert werden.

Bei der Anwendung einer solchen Mikroprozessoranordnung als Steuereinheit in Funkgeräten, können solche Daten beispielsweise die Einstellung der verwendeten Frequenz, die Wahl der Bitrate für das auszusendende oder zu empfangende Signal oder die Funktion "Senden" bzw. "Empfangen" beinhalten.

Beispielsweise durch Literaturstelle Electronic Design, Sept. 81, Seiten 335—339 wird ein solcher für Datensicherung geeigneter Arbeitsspeicher im Zusammenhang mit einer Mikroprozessorsteuerung angegeben, der neben einem RAM ein EEPROM und eine Abspeichersteuereinrichtung aufweist, die es in Abhängigkeit eines dem Steuereingang der Abspeichersteuereinrichtung zugeführten Signals ermöglicht, die im RAM gespeicherten Daten in das einen nichtflüchtigen Speicher darstellende EEPROM zu speichern und in gleicher Weise auch wieder in das RAM rückzuspeichern. Das Steuersignal wird hierbei über einen Spannungsdetektor gewonnen, der die Betriebsgleichspannung überwacht und den Abspeichervorgang auslöst, sobald die Betriebsspannung abgeschaltet wird oder aber unter einen vorgegebenen Mindestwert abfällt.

Solche als nichtflüchtige RAMs zu bezeichnenden Arbeitsspeicher ermöglichen nur eine begrenzte Zahl von Abspeicherungen für die Sicherung von Daten und verlieren nach etwa 3000 Abspeichervorgängen die Fähigkeit, Daten abzuspeichern. Die Betriebsstunden-Lebenserwartung solcher mit nichtflüchtigen Speichern arbeitenden Mikroprozessoranordnungen ist also nicht sehr hoch, so daß Probleme entstehen, wenn hieran hohe Anforderungen gestellt werden.

Der Erfindung liegt die Aufgabe zugrunde, für eine Mikroprozessoranordnung der einleitend beschriebenen Art eine weitere Lösung anzugeben, bei der zur Gewährleistung einer möglichst großen Betriebslebenszeit des verwendeten nichtflüchtigen Speichers das Abspeichern zu sichernder Daten bei Abschalten oder Ausfall der Betriebsspannungsversorgung auf das unbedingt notwendige Maß reduziert ist.

Diese Aufgabe wird gemäß der Erfindung durch die im kennzeichnenden Teil des Patentanspruchs 1 abgegebenen Merkmale gelöst.

Der Erfindung liegt die Erkenntnis zugrunde, daß aus Sicherheitsgründen lediglich bei Ausfall der Stromversorgung in jedem Falle eine Abspeicherung der Daten vom RAM in das EEPROM erforderlich ist, während bei Abschalten der Betriebsspannungsversorgung dieses Abspeichern nur vorgenommen werden sollte, wenn im RAM tatsächlich zu sichernde Daten vorhanden sind, und daß dies auch nur unter der Voraussetzung zu geschehen hat, wenn der Mikroprozessor eine störungsfreie Betriebsweise anzeigt. Diese Einschränkung ist sinnvoll, weil ansonsten befürchtet werden muß, daß durch Störungen beeinträchtigte Daten abgespeichert

werden.

Vorteilhafte Ausgestaltungen der Erfindung sind in den weiteren Patentansprüchen 2 bis 5 angegeben.

Anhand eines in der Zeichnung dargestellten Ausführungsbeispiels soll die Erfindung im folgenden noch näher erläutert werden. In der Zeichnung bedeuten

Fig. 1 das Blockschaltbild einer Mikroprozessoranordnung nach der Erfindung.

Fig. 2 eine das Abspeicherverhalten bei verschiedenen Betriebszuständen erläuternde Tabelle.

Das Blockschaltbild nach Fig. 1 zeigt den Mikroprozessor  $\mu P$ , beispielsweise einen 8085 von Intel, der über den BUS B mit dem Eingabe-Ausgabe-Baustein I/O und dem Arbeitsspeicher NV-RAM in Verbindung steht. Der Eingabe-Ausgabe-Baustein I/O kann beispielsweise ein Chip CDP 1852 von RCA und der Arbeitsspeicher NV-RAM ein Baustein X2210 von XICOR sein. Der Spannungsdetektor VD kann beispielsweise mit dem Baustein 8212 von Intersil realisiert sein. Die eigentliche Logik, über deren Ausgang der Steuereingang STORE des Arbeitsspeichers NV-RAM gesteuert wird, ist ein vier Eingänge 1, 2, 3 und 4 aufweisendes NAND-Gatter NG 1. Der Ausgang des Spannungsdetektors VD ist einmal unmittelbar mit dem Eingang 1 des NAND-Gatters NG 1 und weiterhin mittelbar über die Pulsformerstufe PF mit dessen Eingang 2 verbunden. Die Pulsformerstufe PF besteht eingangsseitig ebenfalls aus einem NAND-Gatter NG, dem ausgangsseitig ein RC-Glied mit dem Längswiderstand R und dem Querkondensator C nachgeschaltet ist. Das NAND-Gatter NG und das die Logik darstellende NAND-Gatter NG 1 können beispielsweise gemeinsam durch den Baustein SN 54 LS 40 von Texas Instruments realisiert sein.

Weiterhin ist der Eingang 3 des NAND-Gatters NG 1 mit dem Ausgang DO 4 des Eingabe-Ausgabe-Bausteins I/O und dessen Eingang 4 mit dem Ausgang der monostabilen Kippstufe MK verbunden, die eingangsseitig vom Seriendatenausgang SOD des Mikroprozessors  $\mu P$  angesteuert wird. Die monostabile Kippstufe MK kann beispielsweise durch den Baustein CD 4528 von RCA realisiert sein.

Wie Fig. 1 weiterhin zeigt, weist der Mikroprozessor  $\mu P$  einen Anschluß TRAP auf, der über einen Widerstand an der Betriebsgleichspannung  $+U_b$  liegt. Der Anschluß TRAP wird bei Abschalten der Betriebsspannung über den Schalter S an Massepotential gelegt. Die Betriebsgleichspannung  $+U_b$  stellt auch — wie in Fig. 1 teilweise angedeutet ist — die Versorgungsspannung für die verschiedenen Bausteine dar.

Der Steuereingang STORE des Arbeitsspeichers NV-RAM, der, wie einleitend schon darauf hingewiesen worden ist, aus einem RAM und einem EEPROM einschließlich einer inneren Steuerung besteht, benötigt für das Abspeichern von Daten im RAM in das EEPROM lediglich einen kurzen Triggerimpuls. Dieser Triggerimpuls wird durch die Pulsformerstufe PF bei Ansprechen des Spannungsdetektors VD beim Abschalten oder Ausfall der Betriebsspannungsversorgung erzeugt. Der Ausgang DO 4 des Eingabe-Ausgabe-Bausteins I/O liefert im eingeschalteten Zustand der Mikroprozessoranordnung eine binäre Eins "H" (hoher Spannungspegel). Lediglich beim Abschalten der Mikroprozessoranordnung von der Betriebsspannungsversorgung "H" am Ausgang DO 4 in eine binäre Null "L" (niedriger Spannungspegel) über, wenn der Mikroprozessor  $\mu P$  im Zeitpunkt des Abschaltens der Betriebsspannungsversorgung durch eine Abfrage des internen Zustandes feststellt, daß im Arbeitsspeicher zu sichernde Daten vor-

handen sind.

Im ungestörten Betrieb des Mikroprozessors  $\mu P$  gibt der Ausgang SOD eine Rechteckimpulsfolge ab, die den monostabilen Multivibrator MK veranlaßt, ausgangsseitig ein "H" als Dauersignal abzugeben. Lediglich wenn die Betriebsfunktion des Mikroprozessors  $\mu P$  gestört ist, wird diese Rechteckimpulsfolge am Ausgang SOD unterbrochen, so daß der monostabile Multivibrator MK in seinen Ruhezustand zurückkippt und damit am Ausgang ein "L" abgibt. Im normalen Betriebszustand weist auch der Ausgang der Pulsformerstufe PF und der Ausgang des NAND-Gatters ein "H" auf. Im normalen Betriebszustand weist dagegen der Ausgang des Spannungsdetektors VD ein "L" auf, das, sobald die Betriebsspannung  $+U_b$  einen vorgegebenen Schwellwert unterschreitet, in ein "H" übergeht.

In der Tabelle der Fig. 2 sind auf der linken Seite untereinander verschiedene Betriebszustände für verschiedene Anschlüsse, und zwar der Anschluß TRAP des Mikroprozessors  $\mu P$ , die Eingänge 1, 2, 3 und 4 des NAND-Gatters NG 1, der Steuereingang STORE des Arbeitsspeichers NV-RAM sowie eine Spalte "EINSTELLÄNDERUNG" für die Angabe einer Einstelländerung und ABSP, was Abspeichern bedeutet, angegeben. In diesen beiden letzten Spalten bedeutet Y=ja und N=nein. Y/N bedeutet, daß es bei dem betreffenden Betriebszustand auf das Vorhandensein oder Nichtvorhandensein einer Einstelländerung nicht ankommt. Das Y bzw. das N in der Spalte "ABSP" bedeutet das Vorhanden- bzw. Nichtvorhandensein von zu sichernden Daten im RAM des Arbeitsspeichers NV-RAM.

Im Normalbetrieb "NORM. BETRIEB" weist der Steuereingang STORE ein "H" auf, weil das Signal am Eingang 1 des NAND-Gatters NG 1 ein "L" ist. Auf zu sichernde Daten hinweisende Einstelländerungen der Mikroprozessoranordnung kommt es in diesem Falle nicht an, weil in diesem Betriebszustand keine Abspeicherung vorgenommen wird. Eine Abspeicherung ist auch nicht zulässig, wenn der Betriebszustand " $\mu P$ -Störung" vorliegt. Dies drückt sich gegenüber dem erstgenannten Betriebszustand "NORM. BETRIEB" so aus, daß nunmehr auch zusätzlich am Eingang 4 des NAND-Gatters NG 1 ein "L" anliegt. Anders sieht es im Betriebszustand "STROMAUSFALL" aus, weil hier vor- 45 ausgesetzt wird, daß der Mikroprozessor nicht gestört ist. An allen vier Eingängen 1, 2, 3 und 4 des NAND-Gatters NG 1 liegt nun ein "H" an, so daß nunmehr am Steuereingang STORE ein "L" auftritt und unabhängig davon, ob tatsächlich zu sichernde Daten im RAM des Arbeitsspeichers NV-RAM vorhanden sind oder nicht, eine Abspeicherung der vorhandenen Daten in das EEPROM vorgenommen wird.

In der untersten Reihe der Spalte Betriebszustand "STROMAUS. +  $\mu P$ -STÖR." ist ebenfalls Stromausfall angenommen, jedoch zusätzlich eine Störung des Mikroprozessors. Eine Abspeicherung zu sichernden Daten ist hier unterbunden, weil in diesem Falle am Eingang 4 des NAND-Gatters NG 1 ein "L" auftritt. In der vierten und fünften Zeile sind zweimal der Betriebszustand "Abschaltung" angegeben. Hier muß zwischen den Fällen unterschieden werden, ob die Prüfung des Mikroprozessors  $\mu P$  im Abschaltzeitpunkt zu sichernde bzw. keine zu sichernden Daten feststellt. Im ersten Fall bleibt ein "H" am Eingang 3 des NAND-Gatters NG 1 erhalten und es erfolgt ein Abspeichervorgang. Im zweiten Fall wird das Signal am Eingang 4 des NAND-Gatters NG 1 in ein "L" umgewandelt und es erfolgt keine Abspeicherung.

Schließlich verbleibt noch der Betriebszustand "ABSCH. +  $\mu P$ -STÖR". Auch hier kommt es nicht darauf an, ob zu sichernde Daten im RAM des Arbeitsspeichers vorhanden sind oder nicht, weil in jedem Falle am Eingang 4 des NAND-Gatters NG 1 ein "L" anliegt, das einen Abspeichervorgang verhindert, unabhängig davon, zu welchem Ergebnis die Prüfung des Mikroprozessors  $\mu P$  im Zusammenhang mit der Pegeleinstellung am Eingang 3 des NAND-Gatters auch gekommen sein mag.

---

Hierzu 1 Blatt Zeichnungen

---

15

20

25

30

35

40

45

50

55

60

65



**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**